

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-146551

(43) 公開日 平成9年(1997)6月6日

(51) Int.Cl.<sup>6</sup>

G10H 7/02

識別記号

庁内整理番号

F I

G10H 7/00

技術表示箇所

521K

審査請求 未請求 請求項の数4 F D (全17頁)

(21) 出願番号 特願平7-322225

(22) 出願日 平成7年(1995)11月16日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 市来 哲二

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

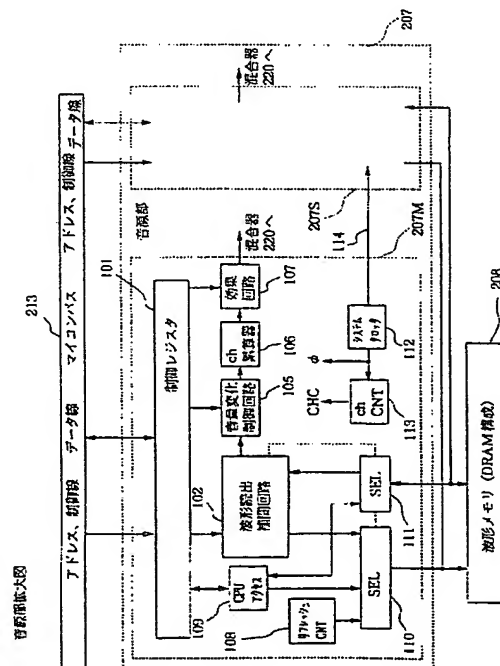
(74) 代理人 弁理士 矢島 保夫

(54) 【発明の名称】 波形メモリ音源装置

(57) 【要約】 (修正有)

【課題】 チャンネルごとに必要時に必要な分だけ効率よく波形メモリをアクセス可能な時分割チャンネル動作で複数チャンネル分の楽音を同時に発生する波形メモリ読み出し方式の音源。

【解決手段】 波形メモリの読み出しに先立ち各チャンネルのアドレスをアドレス記憶手段に記憶し、アドレスの進み量に基づき、波形メモリのアクセス回数を算出する。所定数のチャンネルについてアクセス回数を累算し、アクセス期間内に累算回数分のアクセスが可能性を判定する。アクセス期間の時間幅は切り換え可能で、各チャンネルのアクセス回数ずつ、波形メモリを連続的にアクセスし、読み出した各チャンネルの波形サンプルを波形サンプル記憶手段に記憶する。波形サンプル記憶手段に記憶された各チャンネルの波形サンプルに基づき、各チャンネルのサンプリング周期ごとの楽音を生成する。アクセス期間を短縮による空き時間に、第2アクセス手段によって波形メモリをアクセスする。



1

## 【特許請求の範囲】

【請求項1】所定サンプリング周期で複数チャンネル時分割で動作することにより、該複数チャンネルの楽音を生成する波形メモリ音源装置において、波形サンプルを記憶した波形メモリであって、前記所定サンプリング周期内の1チャンネル分の処理時間内に所定回数のアクセスが可能なものと、各チャンネルのアドレスを記憶するためのアドレス記憶手段と、

各チャンネルの波形サンプルを記憶するための波形サンプル記憶手段と、

前記波形メモリの読み出しに先立って、各チャンネルのアドレスを作成し、前記アドレス記憶手段に記憶させるアドレス作成手段と、

各チャンネルのアドレスの進み量に基づいて、各チャンネルについての前記波形メモリのアクセス回数を算出するアクセス回数算出手段と、

所定数のチャンネルについて、前記アクセス回数算出手段で算出したアクセス回数を累算し、累算回数を出力する累算手段と、

前記所定数のチャンネルに対応したアクセス期間内に、前記累算回数分のアクセスが可能かどうかを判定する判定手段と、

前記アクセス期間の時間幅を、通常の長さまたは短縮した長さに切り換えるアクセス期間切り換え手段と、

前記判定手段が可能と判定した場合、前記アドレス記憶手段に記憶された各チャンネルのアドレスに基づき、前記アクセス回数算出手段で算出した各チャンネルのアクセス回数ずつ、前記アクセス期間内で前記波形メモリを連続的にアクセスし、読み出した各チャンネルの波形サンプルを前記波形サンプル記憶手段に記憶する第1アクセス手段と、

前記アクセス期間切り換え手段により前記アクセス期間を短縮したことによって生じた空き時間に、前記波形メモリをアクセスする第2アクセス手段と、

前記波形サンプル記憶手段に記憶された各チャンネルの波形サンプルに基づき、各チャンネルのサンプリング周期ごとの楽音を生成する楽音生成手段とを備えたことを特徴とする波形メモリ音源装置。

【請求項2】所定サンプリング周期で複数チャンネル時分割で動作することにより、該複数チャンネルの楽音を生成する波形メモリ音源装置であって、波形サンプルを記憶し前記所定サンプリング周期内の1チャンネル分の処理時間内に所定回数のアクセスが可能な波形メモリを接続したものにおいて、

各チャンネルのアドレスを記憶するためのアドレス記憶手段と、

各チャンネルの波形サンプルを記憶するための波形サンプル記憶手段と、

前記波形メモリの読み出しに先立って、各チャンネルの

2

アドレスを作成し、前記アドレス記憶手段に記憶させるアドレス作成手段と、

各チャンネルのアドレスの進み量に基づいて、各チャンネルについての前記波形メモリのアクセス回数を算出するアクセス回数算出手段と、

所定数のチャンネルについて、前記アクセス回数算出手段で算出したアクセス回数を累算し、累算回数を出力する累算手段と、

前記所定数のチャンネルに対応して設定されるアクセス期間の時間幅を、前記所定数のチャンネルについて時分割チャンネルタイミングで処理する場合の時間幅と同じ時間幅とするか、またはそれより短縮した時間幅とするかを、入力した指示信号に基づいて決定するアクセス期間切り換え手段と、

前記アクセス期間内に、前記累算回数分のアクセスが可能かどうかを判定する判定手段と、

前記判定手段が可能と判定した場合、前記アドレス記憶手段に記憶された各チャンネルのアドレスに基づき、前記アクセス回数算出手段で算出した各チャンネルのアクセス回数ずつ、前記アクセス期間内で前記波形メモリを連続的にアクセスし、読み出した各チャンネルの波形サンプルを前記波形サンプル記憶手段に記憶する第1アクセス手段と、

前記波形サンプル記憶手段に記憶された各チャンネルの波形サンプルに基づき、各チャンネルのサンプリング周期ごとの楽音を生成する楽音生成手段とを備えたことを特徴とする波形メモリ音源装置。

【請求項3】さらに第1のモードで動作するか、第2のモードで動作するかを指定するモード指定信号を入力し、

第1のモードが指定された波形メモリ音源では、前記アクセス期間切り換え手段により前記アクセス期間を短縮した時間幅とするとともに、第2のモードが指定された別の波形メモリ音源装置に向けて同期信号を出力し

第2のモードが指定された波形メモリ音源では、前記アクセス期間切り換え手段により前記アクセス期間を短縮した時間幅とするとともに、前記第1のモードが指定された波形メモリ音源から出力される同期信号を入力し

て、前記第1のモードが指定された波形メモリ音源における前記アクセス期間以外の区間に、前記第2のモードが指定された波形メモリ音源における前記アクセス期間が配置されるように処理タイミングを調整する請求項2に記載の波形メモリ音源装置。

【請求項4】所定サンプリング周期で複数チャンネル時分割で動作することにより、該複数チャンネルの楽音を生成する波形メモリ音源装置において、

複数チャンネルの楽音生成を行なう第1音源と、別の複数チャンネルの楽音生成を行なう第2音源と、前記第1音源からの楽音と前記第2音源からの楽音とを混合して出力する混合手段と、波形サンプルを記憶した波形メモ

10

20

30

40

50

りであって前記所定サンプリング周期内の1チャンネル分の処理時間内に所定回数のアクセスが可能な波形メモリとを備え、

前記第1音源は、

各チャンネルのアドレスを記憶するための第1アドレス記憶手段と、

各チャンネルの波形サンプルを記憶するための第1波形サンプル記憶手段と、

前記波形メモリの読み出しに先立って、各チャンネルのアドレスを作成し、前記第1アドレス記憶手段に記憶させる第1アドレス作成手段と、

各チャンネルのアドレスの進み量に基づいて、各チャンネルについての前記波形メモリのアクセス回数を算出する第1アクセス回数算出手段と、

前記第1アドレス記憶手段に記憶された各チャンネルのアドレスに基づき、前記第1アクセス回数算出手段で算出された各チャンネルのアクセス回数ずつ、前記波形メモリを連続的にアクセスし、読み出した各チャンネルの波形サンプルを前記第1波形サンプル記憶手段に記憶する第1アクセス手段と、

前記第1波形サンプル記憶手段に記憶された各チャンネルの波形サンプルに基づき、各チャンネルのサンプリング周期ごとの楽音を生成する楽音生成手段とを備え、

前記第2音源は、

各チャンネルのアドレスを記憶するための第2アドレス記憶手段と、

各チャンネルの波形サンプルを記憶するための第2波形サンプル記憶手段と、

前記波形メモリの読み出しに先立って、各チャンネルのアドレスを作成し、前記第2アドレス記憶手段に記憶させる第2アドレス作成手段と、

各チャンネルのアドレスの進み量に基づいて、各チャンネルについての前記波形メモリのアクセス回数を算出する第2アクセス回数算出手段と、

前記第2アドレス記憶手段に記憶された各チャンネルのアドレスに基づき、前記第2アクセス回数算出手段で算出された各チャンネルのアクセス回数ずつ、前記波形メモリを連続的にアクセスし、読み出した各チャンネルの波形サンプルを前記第2波形サンプル記憶手段に記憶する第2アクセス手段と、

前記第2波形サンプル記憶手段に記憶された各チャンネルの波形サンプルに基づき、各チャンネルのサンプリング周期ごとの楽音を生成する楽音生成手段とを備え、

前記第1音源の前記第1アクセス手段による前記波形メモリのアクセスの空き時間を利用して、前記第2音源の前記第2アクセス手段による前記波形メモリのアクセスを行なうようにタイミング調整が為されていることを特徴とする波形メモリ音源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、デジタル楽音波形データを生成出力する音源装置に関し、詳しくは、2つの音源で1つの波形メモリを共有することができるような波形メモリ読み出しタイプの音源装置に関する。

【0002】

【従来の技術】従来より、時分割チャンネル動作で複数チャンネル分の楽音を同時に発生する波形メモリ音源が知られている。このような音源では、1サンプリング周期を均等に分割した各チャンネルのタイムスロットにおいてそれぞれのチャンネルの楽音生成動作を行なっている。波形メモリのアクセスについても同様に、時分割チャンネル動作であり、各チャンネルごとに、そのチャンネルに対応するタイムスロットで一定の決められた回数のアクセスを行なうようになっている。

【0003】さらに、波形メモリ読み出し方式の音源では、補間回路を備え、各チャンネルについて連続する何点かのサンプル（波形データ）を用いて補間演算して1点分の楽音波形データを得るものがある。また、補間回路にサンプルバッファを有し、少ないアクセス回数で、高次の補間演算を可能にした波形メモリ音源がある。これは、波形メモリから読み出した波形データをサンプルバッファに記憶しておき、波形メモリを読み出していく際に、アドレスの進みが少ない場合には、サンプルバッファに記憶されている波形データと新たに読み出した波形データを用いて補間を行なうものである。

【0004】

【発明が解決しようとする課題】上述したように、時分割チャンネル動作で複数チャンネル分の楽音を同時に発生する波形メモリ音源では、波形メモリのアクセスが各チャンネルごとに一定の決められた回数に定められている。一般に、各チャンネルの波形読み出し速度（Fナンバー）などに応じて、しかも各サンプリング周期ごとに、必要な波形メモリアクセス回数は異なるが、従来技術ではそれに対応するようなことは行なっておらず、波形メモリの限られた動作速度（アクセス可能回数）を有効に利用できていなかった。

【0005】また、サンプルバッファを用いる方式では、アドレスの進みが少ない場合にはサンプルバッファのデータを有効に使って補間が可能だが、アドレスの進みが大きい場合には必要な波形データをすべて読み出すことができずに補間次数を下げる（例えば、4点補間を2点補間にする）こともあった。

【0006】この発明は、時分割チャンネル動作で複数チャンネル分の楽音を同時に発生する波形メモリ読み出し方式の音源において、チャンネルごとに必要なときに必要な分だけ効率よく波形メモリをアクセスすることができるようにすることを目的とする。

【0007】

【課題を解決するための手段】本発明の請求項1に係る

50 発明は、所定サンプリング周期で複数チャンネル時分割

で動作することにより、該複数チャンネルの楽音を生成する波形メモリ音源装置において、波形サンプルを記憶した波形メモリであって、前記所定サンプリング周期内の 1 チャンネル分の処理時間内に所定回数のアクセスが可能なものと、各チャンネルのアドレスを記憶するためのアドレス記憶手段と、各チャンネルの波形サンプルを記憶するための波形サンプル記憶手段と、前記波形メモリの読み出しに先立って、各チャンネルのアドレスを作成し、前記アドレス記憶手段に記憶させるアドレス作成手段と、各チャンネルのアドレスの進み量に基づいて、各チャンネルについての前記波形メモリのアクセス回数を算出するアクセス回数算出手段と、所定数のチャンネルについて、前記アクセス回数算出手段で算出したアクセス回数を累算し、累算回数を出力する累算手段と、前記所定数のチャンネルに対応したアクセス期間内に、前記累算回数分のアクセスが可能かどうかを判定する判定手段と、前記アクセス期間の時間幅を、通常の長さまたは短縮した長さに切り換えるアクセス期間切り換え手段と、前記判定手段が可能と判定した場合、前記アドレス記憶手段に記憶された各チャンネルのアドレスに基づき、前記アクセス回数算出手段で算出した各チャンネルのアクセス回数ずつ、前記アクセス期間内で前記波形メモリを連続的にアクセスし、読み出した各チャンネルの波形サンプルを前記波形サンプル記憶手段に記憶する第 1 アクセス手段と、前記アクセス期間切り換え手段により前記アクセス期間を短縮したことによって生じた空き時間に、前記波形メモリをアクセスする第 2 アクセス手段と、前記波形サンプル記憶手段に記憶された各チャンネルの波形サンプルに基づき、各チャンネルのサンプリング周期ごとの楽音を生成する楽音生成手段とを備えたことを特徴とする。

【 0 0 0 8 】請求項 1 における第 2 アクセス手段は、後述する発明の実施の形態では波形メモリ音源になっているが、必ずしも波形メモリ音源である必要はない。例えば、新たな波形を波形メモリに書き込むサンプリング回路、波形メモリに記憶された波形を編集加工するための CPU、波形メモリに波形データを転送する DMAC（ダイレクトメモリアクセス制御回路）、波形メモリが DRAM 構成であるときのリフレッシュなどでもよい。

【 0 0 0 9 】請求項 2 に記載の発明は、所定サンプリング周期で複数チャンネル時分割で動作することにより、該複数チャンネルの楽音を生成する波形メモリ音源装置であって、波形サンプルを記憶し前記所定サンプリング周期内の 1 チャンネル分の処理時間内に所定回数のアクセスが可能な波形メモリを接続したものであるにおいて、各チャンネルのアドレスを記憶するためのアドレス記憶手段と、各チャンネルの波形サンプルを記憶するための波形サンプル記憶手段と、前記波形メモリの読み出しに先立って、各チャンネルのアドレスを作成し、前記アドレス記憶手段に記憶させるアドレス作成手段と、各チャンネル

ルのアドレスの進み量に基づいて、各チャンネルについての前記波形メモリのアクセス回数を算出するアクセス回数算出手段と、所定数のチャンネルについて、前記アクセス回数算出手段で算出したアクセス回数を累算し、累算回数を出力する累算手段と、前記所定数のチャンネルに対応して設定されるアクセス期間の時間幅を、前記所定数のチャンネルについて時分割チャンネルタイミングで処理する場合の時間幅と同じ時間幅とするか、またはそれより短縮した時間幅とするかを、入力した指示信号に基づいて決定するアクセス期間切り換え手段と、前記アクセス期間内に、前記累算回数分のアクセスが可能かどうかを判定する判定手段と、前記判定手段が可能と判定した場合、前記アドレス記憶手段に記憶された各チャンネルのアドレスに基づき、前記アクセス回数算出手段で算出した各チャンネルのアクセス回数ずつ、前記アクセス期間内で前記波形メモリを連続的にアクセスし、読み出した各チャンネルの波形サンプルを前記波形サンプル記憶手段に記憶する第 1 アクセス手段と、前記波形サンプル記憶手段に記憶された各チャンネルの波形サンプルに基づき、各チャンネルのサンプリング周期ごとの楽音を生成する楽音生成手段とを備えたことを特徴とする。

【 0 0 1 0 】請求項 3 に記載の発明は、請求項 2 のものにおいて、さらに第 1 のモードで動作するか、第 2 のモードで動作するかを指定するモード指定信号を入力し、第 1 のモードが指定された波形メモリ音源では、前記アクセス期間切り換え手段により前記アクセス期間を短縮した時間幅とするとともに、第 2 のモードが指定された別の波形メモリ音源装置に向けて同期信号を出力し、第 2 のモードが指定された波形メモリ音源では、前記アクセス期間切り換え手段により前記アクセス期間を短縮した時間幅とするとともに、前記第 1 のモードが指定された波形メモリ音源から出力される同期信号を入力して、前記第 1 のモードが指定された波形メモリ音源における前記アクセス期間以外の区間に、前記第 2 のモードが指定された波形メモリ音源における前記アクセス期間が配置されるように処理タイミングを調整するようにしたものである。

【 0 0 1 1 】請求項 2、3 に記載の発明は、後述する発明の実施の形態における 1 チップの音源の構成に着目したものである。アクセス期間切り換え手段は、発明の実施の形態で 2 チップ指示か 1 チップ指示かに応じて処理 B を実行する区間の時間幅を変更している点を明らかにしたものである。また、第 1 のモードは発明の実施の形態でマスター音源が指示されたことを示すモードであり、第 1 のモードはスレーブ音源が指示されたことを示すモードである。

【 0 0 1 2 】請求項 4 に記載の発明は、所定サンプリング周期で複数チャンネル時分割で動作することにより、該複数チャンネルの楽音を生成する波形メモリ音源装置

において、複数チャンネルの楽音生成を行なう第1音源と、別の複数チャンネルの楽音生成を行なう第2音源と、前記第1音源からの楽音と前記第2音源からの楽音とを混合して出力する混合手段と、波形サンプルを記憶した波形メモリであって前記所定サンプリング周期内の1チャンネル分の処理時間内に所定回数のアクセスが可能な波形メモリとを備え、前記第1音源は、各チャンネルのアドレスを記憶するための第1アドレス記憶手段と、各チャンネルの波形サンプルを記憶するための第1波形サンプル記憶手段と、前記波形メモリの読み出しに先立って、各チャンネルのアドレスを作成し、前記第1アドレス記憶手段に記憶させる第1アドレス作成手段と、各チャンネルのアドレスの進み量に基づいて、各チャンネルについての前記波形メモリのアクセス回数を算出する第1アクセス回数算出手段と、前記第1アドレス記憶手段に記憶された各チャンネルのアドレスに基づき、前記第1アクセス回数算出手段で算出された各チャンネルのアクセス回数ずつ、前記波形メモリを連続的にアクセスし、読み出した各チャンネルの波形サンプルを前記第1波形サンプル記憶手段に記憶する第1アクセス手段と、前記第1波形サンプル記憶手段に記憶された各チャンネルの波形サンプルに基づき、各チャンネルのサンプリング周期ごとの楽音を生成する楽音生成手段とを備え、前記第2音源は、各チャンネルのアドレスを記憶するための第2アドレス記憶手段と、各チャンネルの波形サンプルを記憶するための第2波形サンプル記憶手段と、前記波形メモリの読み出しに先立って、各チャンネルのアドレスを作成し、前記第2アドレス記憶手段に記憶させる第2アドレス作成手段と、各チャンネルのアドレスの進み量に基づいて、各チャンネルについての前記波形メモリのアクセス回数を算出する第2アクセス回数算出手段と、前記第2アドレス記憶手段に記憶された各チャンネルのアドレスに基づき、前記第2アクセス回数算出手段で算出された各チャンネルのアクセス回数ずつ、前記波形メモリを連続的にアクセスし、読み出した各チャンネルの波形サンプルを前記第2波形サンプル記憶手段に記憶する第2アクセス手段と、前記第2波形サンプル記憶手段に記憶された各チャンネルの波形サンプルに基づき、各チャンネルのサンプリング周期ごとの楽音を生成する楽音生成手段とを備え、前記第1音源の前記第1アクセス手段による前記波形メモリのアクセスの空き時間を利用して、前記第2音源の前記第2アクセス手段による前記波形メモリのアクセスを行なうようにタイミング調整が為されていることを特徴とする。

【0013】請求項4に記載の波形メモリ音源装置において、前記第1音源の第1アクセス手段は、前記所定サンプリング周期を $m$ 個( $m$ は2以上の整数)の区間に分割した各区分ごとに、該区分において処理すべき複数チャンネルについて該区分より短縮した時間幅の区間で前記波形メモリの連続的なアクセスを行ない、前記第2音

源の第2アクセス手段は、前記所定サンプリング周期を $m$ 個( $m$ は2以上の整数)の区間に分割した各区分ごとに、該区分において処理すべき複数チャンネルについて該区分より短縮した時間幅の区間で前記波形メモリの連続的なアクセスを行ない、前記第1音源の前記第1アクセス手段による前記波形メモリのアクセスと前記第2音源の前記第2アクセス手段による前記波形メモリのアクセスとが交互に行なわれるようにタイミング調整が為されているようにするとよい。サンプリング周期の分割は、前半と後半の2つに等分割するのが望ましい。

【0014】また、請求項4に記載の波形メモリ音源において、前記波形メモリの読み出しまたは書き込みの少なくとも一方を行なう第3アクセス手段をさらに備え、該第3アクセス手段は、前記第1アクセス手段による前記波形メモリのアクセス後の余り時間を利用して、前記波形メモリのアクセスを行なうようにしてもよい。第3アクセス手段は、例えば、波形メモリがDRAM構成であるときのリフレッシュ、波形メモリに記憶された波形を編集加工するためのCPUによるアクセス、新たな波形を波形メモリに書き込むサンプリング回路からのアクセス、あるいは波形メモリに波形データを転送するDMACからのアクセスなどを行なうものである。

【0015】

【発明の実施の形態】以下、図面を用いて、この発明の実施の形態例を説明する。

【0016】図2(a)は、この発明の一実施形態例に係る音源装置を適用した電子楽器の全体のブロック構成を示す。図2(b)は、本形態例の音源部の概略構成を示す。図1は、本形態例の音源部の詳細なブロック構成を示す。図1および図2において、同一の番号は同一のものを示すものとする。

【0017】まず、図2(a)を参照して、この電子楽器の全体構成を説明する。この電子楽器は、鍵盤201、表示部202、スイッチ群(SW)203、中央処理装置(CPU)204、リードオンリメモリ(ROM)205、ランダムアクセスメモリ(RAM)206、音源部207、波形メモリ208、デジタルアナログ変換器(DAC)210、サウンドシステム(SS)211、外部記憶装置212、およびバス213を備えている。鍵盤201、表示部202、スイッチ群203、CPU204、ROM205、RAM206、音源部207、および外部記憶装置212は、バス213により相互に接続されている。

【0018】鍵盤201は、ユーザが演奏操作するための複数の鍵を備えた鍵盤である。表示部202は、電子楽器のパネル上に設けられており、各種の情報を表示する。スイッチ群203は、パネル上に設けられており、ユーザはこれら操作することにより電子楽器に対して各種の指示を与えることができる。CPU204は、この電子楽器全体の動作を制御する。特に、通常の演奏時に

は、鍵盤201の操作を検出し、その操作に応じて音源部207に発音の指示を出す。ROM205は、CPUが実行するプログラム（音源部207を制御するための音源コントロールプログラムなど）や各種の定数データなどを格納する。RAM206は、ワークレジスタなどに用いる。外部記憶装置212には、後述するDRAM構成の波形メモリ208にロードする波形データなどが格納されている。

【0019】音源部207は、図2（b）に示すように、マスター音源207M、スレーブ音源207S、および混合器220からなる。マスター音源207Mおよびスレーブ音源207Sは同じ内部構成を持ち、1つの波形メモリを共有する。すなわち、マスター音源207Mおよびスレーブ音源207Sは、それぞれ、CPU204の指示に応じて、波形メモリ208から波形データを読み出し、補間、エンベロープ付与、チャンネル累算、および効果付与などの加工を施して、楽音波形データとして出力する。音源207M、207Sから出力された楽音波形データは、混合器220で混合され、DAC210によりアナログ信号に変換され、サウンドシステム211により放音される。

【0020】波形メモリ208は、DRAM（ダイナミックRAM）により構成されている。波形メモリ208には、所定のレートでサンプリングされた波形サンプルデータが格納されている。1つの波形サンプルは16ビット非圧縮形式であり、アドレスは波形サンプル単位に付けられている。すなわち、1アクセスで1つの波形サンプルが読み出せる。波形サンプルは、楽音の発音に先立って外部記憶装置212から読み出して波形メモリ208に格納してもよいが、特にこの形態例の音源では、複数チャンネル分の楽音発生の動作を行なう際に使用されなかった空きタイムスロットを別の用途に用いることができるようになっているので、その空きタイムスロットを用いて波形サンプルを外部記憶装置212から読み出して波形メモリ208に格納してもよい。

【0021】次に、音源部207について詳しく説明する。図1において、音源部207内のマスター音源207Mは、制御レジスタ101、波形読み出し補間回路102、音量変化制御部105、チャンネル（ch）累算器106、効果回路107、リフレッシュカウンタ108、CPUアクセス制御部109、セレクト110、セレクト111、システムクロック発生部112、およびチャンネル（ch）カウンタ113を備えている。

【0022】制御レジスタ101は、CPU204から送出された指定情報（マスター音源207Mに対する命令やパラメータ情報）を格納するための制御レジスタである。CPU204は、制御レジスタ101に所定の指定情報をセットして発音の開始指示を出す。セットする指定情報としては、割り当てチャンネル、メモリ読み出しヒッチ（周波数ナンバ）、メモリ読み出し区間、エン

ベロープ、およびエフェクト用係数などの指定情報がある。

【0023】あるチャンネルにおける発音開始指示を受けると、マスター音源207Mは楽音波形の発生の動作を開始する。まず、波形読み出し補間回路102は、波形メモリ208の読み出しアドレスを順次発生する。読み出しアドレスは、指定された読み出し区間の先頭から、指定された読み出しピッチを順次累算した値である。特に、このマスター音源207Mでは、波形読み出し補間回路102中に波形サンプルをバッファリングする波形バッファを備え、波形メモリ208からはチャンネルごとに必要な数の波形サンプル（波形データ）のみを読み出すようになっており、各チャンネルにおける波形メモリアクセス回数は可変できるようになっている。そこで、波形読み出し補間回路102は、各チャンネルにおいて必要なアクセス回数に応じた波形メモリのアドレスを、時分割チャンネルタイミングとは異なるタイミングで、順次連続して出力するようになっている。

【0024】波形読み出し補間回路102からのアドレス出力が時分割チャンネルタイミングとは異なるタイミングで行なわれることにより、空きタイムスロットが得られる。リフレッシュカウンタ108およびCPUアクセス制御部109は、この空きタイムスロットにおいて、波形メモリ208のリフレッシュを行ない、あるいはCPU204から波形メモリ208へのアクセスを行なうためのものである。セレクト110、111は、空きタイムスロットにおいてリフレッシュカウンタ108やCPUアクセス制御部109を波形メモリ208に接続するように制御される。

【0025】波形読み出し補間回路102で発生した読み出しアドレスは、セレクト110を介して波形メモリ208に inputs し、これにより波形サンプルが波形メモリ208から読み出される。波形読み出し補間回路102は、セレクト111を介して波形サンプルを受け取り、内部の波形バッファに記憶する。波形読み出し補間回路102は、内部に補間回路を有し、その補間回路は、波形バッファに記憶されている各チャンネルの波形サンプルを読み出し、補間処理を行なう（基本的には6点補間を行ない、各チャンネルのアクセス回数が不足し6点分の波形データが確保できないときは4点あるいは2点補間に補間次数を落とす）。

【0026】音量変化制御回路105は、各チャンネルの楽音波形データにエンベロープを付与する。チャンネル累算器106は、各チャンネルの楽音波形データをチャンネル累算する。効果回路107は、チャンネル累算した結果に各種のエフェクト（効果）を付与する。効果付与された楽音波形データは、図2（b）の混合器220でスレーブ音源207Sからの楽音波形データと混合される。混合器220からの楽音波形データは、DAC210に inputs し、アナログ信号に変換され、サウンドシ

11

ステム211により放音される。

【0027】このマスター音源207Mは時分割32チャンネルで動作する。システムクロック112は、マスター音源207M内の各部に時分割動作を行なうための基準信号となる制御クロック信号φを供給する。チャンネルカウンタ113は、時分割チャンネル動作を行なうためのチャンネルカウント値CHCをカウントし（具体的には0～31を繰り返しカウント）、マスター音源207M内の各ブロックに供給する。

【0028】スレーブ音源207Sも上記マスター音源207Mと全く同じ構成であり、マスター音源207Mと並行して同様に動作する。ただし、マスター音源207Mのシステムクロック112からの同期信号114がスレーブ音源207Sに入力し、スレーブ音源207Sは、この同期信号にしたがいすべての処理を1/4サンプリング周期分、マスター音源207Mより遅いタイミングで実行するように制御する。このタイミングについては後に詳述する。また、スレーブ音源207Sも時分割32チャンネルで動作するが、マスター音源207Mが第0～第31チャンネルの処理を行ない、スレーブ音源207Sがそれと並行して第32～第63チャンネルの処理を行なう。音源部207全体として、64チャンネル分の楽音生成を行なうことができる。

【0029】図3は、マスター音源207M内の波形読み出し補間回路102のブロック構成を示す。スレーブ音源207S内の波形読み出し回路102も同じ構成である。波形読み出し補間回路102は、処理A演算回路301、アドレスRAM（ARAM）302、アキュムレータ（ACC）303、制御RAM304、処理B演算回路305、補間回路306、波形バッファ307、および取り込み回路308を備えている。

【0030】波形読み出し補間回路102は、大きくは、処理A、処理B、取り込み処理、および補間処理の4つの処理を行なう。処理A演算回路301は、処理Aを実行する。処理Aは、時分割チャンネルタイミングにしたがって、主として各チャンネルのアドレスを作成する処理である。各チャンネルのアドレスは、ARAM302に保持される。処理B演算回路305は、処理Bを実行する。処理Bは、時分割チャンネルタイミングとは異なるタイミングで、アドレスWMAを波形メモリ208に向けて送り出す処理である。取り込み回路308は、取り込み処理を行なう。取り込み処理は、処理Bにより波形メモリ208に送り出されたアドレスにしたがって読み出された波形サンプルを取り込み、各チャンネル別に波形バッファ307に書き込む処理である。補間回路306は、補間処理を行なう。補間処理は、時分割チャンネルタイミングにしたがって、波形バッファ307から各チャンネルの波形サンプルを読み出し、補間を行なって補間済みサンプルを生成出力する処理である。これらの4つの処理については、後に詳述する。補間回

12

路306から出力された補間済みサンプルは、図1の音量変化制御回路105に入力する。

【0031】図4は、図3の制御RAM304の構成を示す。詳しくは後述するが、処理Aでは、各チャンネルのアドレス作成と並行して、各チャンネルについて読み出すべき必要サンプル数を求めて制御RAM304に格納する処理を行なう。そのため、制御RAM304は、チャンネル番号とそのチャンネルにおいて読み出すべきサンプル数を格納する領域が複数用意されて構成される。波形読み出し補間回路102内には書き込みポイントおよび読み出しポイントが備えられており、各チャンネルにおいて読み出すべき必要サンプル数を制御RAM304に書き込むとき（処理A）は書き込みポイントをすすめ、制御RAM304からチャンネル番号とサンプル数を読み出して当該チャンネルに関する読み出しアドレスを送出するとき（処理B）は読み出しポイントを進める。制御RAM304は、リング状に使用するようになっており、書き込みまたは読み出しポイントが制御RAM304の一方の端に至った場合、その次のポイントの位置は制御RAM304の他方の端になる。また、読み出しポイントの指す位置が書き込みポイントの指す位置を追いかけないように書き込みおよび読み出しが行なわれるが、書き込みポイントが読み出しポイントを追い越さない程度の領域の大きさが確保されているものとする。書き込みポイントおよび読み出しポイントは、アキュムレータACCと同様に、それぞれ、前半処理用のものと後半処理用のものとが別々に設けられている。単に、書き込みポイントおよび読み出しポイントと呼ぶときは、前半処理では前半処理用のもの、後半処理では後半処理用のものを指すものとする。なお、図4のような構成のほか、各チャンネルに1つずつアドレスを対応させ、そこに必要サンプル数を書き込むようにしてもよい。

【0032】図5は、図3のARAM302のメモリマップを示す。ARAM302は、処理Aにおいて各チャンネルのアドレスを作成するのに用いる領域である。ARAM302は、32チャンネル分（マスター音源は第0～第31チャンネル、スレーブ音源は第32～第63チャンネル）の各チャンネルごとの領域からなり、これらの領域に各チャンネルの現在のアドレス値を記憶する。各チャンネルの領域はアドレス上位ADH、およびアドレス下位ADLからなる。ADHおよびADLの領域の大きさはそれぞれ16ビットである。アドレス上位ADHとアドレス下位ADLとを合わせた32ビットのアドレス値は、アドレス整数部とアドレス小数部とに分けられる。アドレス整数部は、波形メモリ208のアドレスと対応している。すなわち、アドレス整数部の1つの値に対応して、波形メモリ208の波形サンプルが1つ存在する。アドレス小数部は、それよりも細かい単位を示し、何点かの波形サンプルを用いた補間処理で用い



る情報である。アドレス整数部は23ビット、アドレス小数部は9ビットである。

【0033】図6は、図3の波形バッファ307の構成を示す。波形バッファ307は、各チャンネルごとの6つのサンプル格納領域からなる。6つのサンプル格納領域はリング状に使用する。すなわち、各チャンネルごとにポインタを設け、サンプルを書き込むときは、そのポインタで指す位置に書き込み、ポインタを1つ進める。ポインタは、例えば図6の第iチャンネルなら、サンプル1→2→3→4→5→6→1→2→…というように進める。図6は、マスター音源207Mの波形読み出し補間回路102の波形バッファであるので、第0～第31チャンネルのサンプル格納領域を図示してある。同様に、スレーブ音源207Sの波形読み出し補間回路の波形バッファは、第32～第63チャンネルのサンプル格納領域から構成される。

【0034】次に、波形読み出し補間回路102で実行する4つの処理について詳しく説明する。始めにこれらの処理を実行するタイミングについて説明し、その後、各処理の詳細を説明する。

【0035】図7は、マスター音源207Mおよびスレーブ音源207Sのそれぞれの波形読み出し補間回路102で行なう処理A、処理B、取り込み処理、および補間処理の処理タイミングを示す。マスター音源207Mにおける各処理の区間は、前半と後半に分けられており、前半で第0～第15チャンネルの処理を行ない、後半で第16～第31チャンネルの処理を行なうようになっている。同様に、スレーブ音源207Sにおける各処理の区間は、前半と後半に分けられており、前半で第32～第47チャンネルの処理を行ない、後半で第48～第63チャンネルの処理を行なうようになっている。また、スレーブ音源207Sの処理タイミングは、マスター音源207Mの処理タイミングに比べて1/4サンプリング周期だけ遅れている。

【0036】マスター音源の第0～第15チャンネルの処理Bを行なう処理B前半区間702は、当該チャンネルの処理Aを行なう処理A前半区間701が終了した直後から開始される。また、マスター音源の第16～第31チャンネルの処理Bを行なう処理B後半区間706は、当該チャンネルの処理Aを行なう処理A後半区間705が終了した直後から開始される。スレーブ音源の処理Bの前半および後半の区間712、716と処理Aの前半および後半の区間711、715とのタイミングの関係も同様である。処理B前半および後半の区間702、706、712、716は、何れも1サンプリング周期の1/4の時間幅を持つ。したがって、処理Bについては、マスター音源の第0～第15チャンネルの処理B前半処理→スレーブ音源の第32～第47チャンネルの処理B前半処理→マスター音源の第16～第31チャンネルの処理B後半処理→スレーブ音源の第48～第63

3チャンネルの処理B後半処理→…の順で、マスター音源とスレーブ音源の処理Bが交互に実行されることになる。

【0037】取り込み処理は、処理Bのアドレス送り出しのタイミングにしたがって行なわれるから、取り込み処理についても同様に、マスター音源の第0～第15チャンネルの取り込み前半処理→スレーブ音源の第32～第47チャンネルの取り込み前半処理→マスター音源の第16～第31チャンネルの取り込み後半処理→スレーブ音源の第48～第63チャンネルの取り込み後半処理→…の順で、マスター音源とスレーブ音源の取り込み処理が交互に実行される。

【0038】図8は、図7のマスター音源207Mの各前半処理中のチャンネルの様子を示す。図8の「処理A前半ch」は、図7の処理A前半処理を行なう区間701におけるチャンネルの様子を示す。図8の「処理B前半ch」は、図7の処理B前半処理を行なう区間702におけるチャンネルの様子を示す。図8の「取り込み前半ch」は、図7の取り込み前半処理を行なう区間703におけるチャンネルの様子を示す。図8の「補間前半ch」は、図7の補間前半処理を行なう区間704におけるチャンネルの様子を示す。図8はマスター音源207Mの前半処理におけるチャンネルの様子を示しているが、マスター音源207Mの後半処理、スレーブ音源207Sの前半および後半処理についても同様である。なお、図8では各チャンネルタイミングを縦に並べて揃えて記載しているが、実際には各処理のタイミングは図7に示すようにずれている。

【0039】図7および図8から分かるように、処理Aおよび補間処理は、1サンプリング周期を等分割した時分割チャンネルタイミングにしたがって、順番にチャンネルごとの処理が行なわれる。一方、処理Bおよび取り込み処理は、時分割チャンネルタイミングとは独立したタイミングで行なわれる。具体的には、処理Bおよび取り込み処理は、時分割チャンネルタイミングで1チャンネル分の処理を行なう時間幅で4アクセス分の処理Bおよび取り込み処理ができるようになっている。さらに、処理Bおよび取り込み処理は、時分割チャンネルタイミングとは無関係にアクセスが必要なチャンネルについて前詰めで連続して処理できるようになっている。

【0040】例えば、図7および図8において、処理A前半の区間701では、処理A演算回路301により、第0～第15チャンネルについて時分割チャンネルタイミングにしたがって順番に各チャンネルのアドレスを作成している。この区間701の終了時点では、第0～第15チャンネルに関するアドレスがRAM302に設定済みである。

【0041】次に、処理B前半の区間702では、処理B演算回路305により、時分割チャンネルタイミングとは異なるタイミング(図8)で、第0チャンネルのア



ドレスを1つ、第2チャンネルのアドレスを3つ、第5チャンネルのアドレスを1つ、…というように、第0～第15チャンネルのアドレスの送り出しを行なっている。1アドレス送り出しを行なう区間の時間幅は、時分割チャンネルタイミングで1チャンネル分の処理を行なう区間の時間幅の1/4である。各チャンネルで送り出すアドレスの個数が区々であるのは、波形バッファ307に過去の波形サンプルが保持されており各チャンネルごとに必要な個数の波形サンプルのみ読み出せば充分なため、あるいは発音する必要がなくアドレスの送り出しが不要なチャンネルがあるためである。

【0042】ここ(図8)では、それぞれ、第0チャンネルは1サンプル、第2チャンネルは3サンプル、第5チャンネルは1サンプル、第7チャンネルは2サンプルの波形メモリからの読み出しが必要な場合を示している。その他のチャンネルは、発音していないか、既に読み出して波形バッファ307に記憶されたサンプルのみで楽音が生成できるチャンネルである。なお、発音していないチャンネルとは、EG等、音量レベルの下げられたチャンネルであり、そのチャンネルに関しては処理Bにおける波形メモリのアクセスタイミングを使用しないように、制御がなされている。

【0043】取り込み前半の区間703では、処理B前半の区間702のアドレス送り出しのタイミングにしたがって、波形メモリ208から読み出された波形サンプルを取り込み回路308により取り込む。取り込んだ波形サンプルは波形バッファ307に書き込む。

【0044】補間前半の区間704では、時分割チャンネルタイミングにしたがって、補間回路306によりサンプルRAMのデータを用いて第0～第15チャンネルに関する補間処理を行なう。あるチャンネルについて補間を行なう時点で、補間を行なうために必要な当該チャンネルの波形サンプルはサンプルRAMに用意されているようになっている。

【0045】以上のようにして、第0～第15チャンネルの楽音波形データが生成される。後半の区間を用いて処理される第16～第31チャンネルについても同様である。また、スレーブ音源の前半および後半における処理タイミングも同様である。特に、マスター音源とスレーブ音源で波形メモリ208を共有するため、処理B(波形メモリへのアドレスの送り出し)と取り込み処理(波形メモリからの波形サンプルの取り込み)は、図7のようにマスター音源とスレーブ音源とで交互に行なうようにタイミングが調整されている。

【0046】処理B演算回路305における処理Bおよび取り込み処理が時分割チャンネルタイミングとは異なるタイミングで行なわれることにより、空きタイムスロットが出現する。図8の区間702、703中、「c h」は何れのチャンネルのサンプル読み出しにも使用されていない空きタイムスロットを示す。この空きタイム

スロットの区間は、任意に使用可能である。本形態例では、この空きタイムスロットの区間で、図1のリフレッシュカウンタ108による波形メモリ208のリフレッシュ処理、またはCPUアクセス制御部109による波形メモリ208へのアクセス処理を行なうようになっている。

【0047】次に、図3の波形読み出し補間回路102による4つの処理について、以下の(1)～(4)で詳細に説明する。

【0048】(1)処理A演算回路301で実行する処理Aについて詳しく説明する。あるチャンネルで楽音の発音開始が指示されると、当該チャンネルに関する処理Aが処理A演算回路301で実行開始される。処理Aは、図7、8で説明したように時分割チャンネルタイミングで実行される。まず、1番始めの当該チャンネルのタイムスロット(ノートオン立上がり直後)で、処理A演算回路301は、当該チャンネルに対応するARAM302(図5)のアドレス格納領域(ADHとADL)を初期化する。初期値は、読み出すべき波形データの先頭アドレスであり、CPU204が制御レジスタ101を介して指定する。次回以降の当該チャンネルのタイムスロットで、処理A演算回路301は、当該チャンネルに対応するARAM302のアドレス格納領域の現アドレス値に、当該チャンネルにおけるアドレスの進み値(周波数ナンバ)であるピッチPITCHを加算する。加算結果は、元のARAM302のアドレス格納領域に格納される。ピッチPITCHは、CPU204が制御レジスタ101を介して指定する。

【0049】この加算は、具体的には、当該チャンネルの現アドレス値のアドレス小数部にピッチPITCHを加算し、加算結果のうちアドレス小数部のビット数より上位に溢れた値を現アドレス値のアドレス整数部に加算することにより行なう。この溢れ値は、新たに読み出すべき波形サンプルの数になっている。波形読み出し補間回路102では波形バッファ307にそれまでに読み出した波形サンプルが保持されており、上記溢れ値が波形メモリ上での読み出しアドレスの進み量になっているからである。

【0050】先述した図8は、溢れ値が、第0チャンネルで1、第2チャンネルで3、第5チャンネルで1、第7チャンネルで2の場合である。なお、その他のチャンネルは、発音していない、または、溢れ値が0のチャンネルである。

【0051】なお、波形メモリ208上の波形データはアタック部とそれに引き続くループ部とから構成され、波形サンプルのアクセスはアタック部の先頭から開始され、アタック部の読み出しが終わるとループ部に入る。以後は必要に応じてループ部の波形サンプルを繰り返し読み出す。そのため、現アドレス値がループ部最終位置に至ったときは、ループ部の先頭付近に戻す必要があ

る。処理A演算回路301は、上述のアドレスを作成する処理中で、このようなアドレスをループ部先頭付近に戻す処理も行なっている。

【0052】以上のように、当該チャンネルのタイムスロットで、ARAM302上の現アドレスにピッチ（周波数ナンバ）を累算していき、当該チャンネルに関する順次アドレスを得る。

【0053】処理Aでは、上述した各チャンネルのアドレスを作成する処理の他、制御RAM304内の書き込み位置を指す書き込みポインタを1つ進め、各チャンネルごとの必要サンプル数を、制御RAM304（図4）の書き込みポインタで指す位置に格納する処理を行なう。各チャンネルごとの必要サンプル数は、上述の現アドレス値のアドレス小数部にピッチPITCHを加算した加算結果のうちアドレス小数部のビット数より上位に溢れた値に一致しているから、この溢れ値を得てチャンネル番号とともに制御RAM304に格納する。

【0054】さらに、処理Aでは、上述の各チャンネルのアドレス作成、および各チャンネルに関する必要サンプル数の格納の処理の他、所定の複数のチャンネルごとに必要な波形メモリアクセス数（本形態例ではサンプル数とアクセス数とは一致する）を累算する処理をも行なう。具体的には、マスター音源207M内の波形読み出し補間回路102の処理A演算回路301では、第0～第15チャンネルのアドレス作成（前半処理）と並行してこれらのチャンネルについて読み出すべき必要なサンプル数を累算し、さらに第16～第31チャンネルのアドレス作成（後半処理）と並行してこれらのチャンネルについて読み出すべき必要なサンプル数を累算する。また、スレーブ音源207S内の波形読み出し補間回路102の処理A演算回路301では、第32～第47チャンネルのアドレス作成（前半処理）と並行してこれらのチャンネルについて読み出すべき必要なサンプル数を累算し、さらに第48～第63チャンネルのアドレス作成（後半処理）と並行してこれらのチャンネルについて読み出すべき必要なサンプル数を累算する。

【0055】アキュムレータ（ACC）303は、この累算を行なうためのアキュムレータである。マスターおよびスレーブの音源207M、207Sのそれぞれにおいて、前半処理と後半処理に分けて累算を行なうため、アキュムレータ（ACC）303は実際には前半アキュムレータと後半アキュムレータとの2つのアキュムレータからなる。単に、アキュムレータ（ACC）303というときは、前半処理では前半アキュムレータ、後半処理では後半アキュムレータのことを指すものとする。

【0056】具体的に累算の処理は、以下に行なう。まず、前半処理および後半処理の開始時点でアキュムレータ（ACC）303を初期設定（ゼロクリア）する。以後は、前半処理および後半処理の最後のチャンネルまで、必要なサンプル数（すなわち、アクセス数）を

アキュムレータ（ACC）303に累算していく。各チャンネルについて読み出すべき必要なサンプル数は、上記制御RAM304に書き込む際に分かる。

【0057】さらに処理Aでは、上記のように累算した結果であるアクセス回数累算値が、実際にアクセスを実行する処理B前半区間または後半区間における最大アクセス可能数を超えていないか判定し、各チャンネルごとのアクセス回数および補間次数を決定する。本形態例では、この最大アクセス可能数は32である。図8で述べたように処理Bで1アドレス送り出しを行なう区間の時間幅は時分割チャンネルタイミングで1チャンネル分の処理を行なう区間の時間幅の1/4であり、処理B前半区間および処理B後半区間ではそれぞれ32アクセスが可能だからである。したがって、アキュムレータACCのアクセス回数累算値が32を超えていないなら、制御RAM304に書き込んだ前半または後半の各チャンネルのサンプル数はすべてアクセスできるから、そのサンプル数に応じて各チャンネルのアクセス数および補間次数を決定する。この場合は、前半または後半の全16チャンネルで6点補間が可能であるということである。一方、アキュムレータACCのアクセス回数累算値が32を超えていたなら、制御RAM304に書き込んだ各チャンネルのサンプル数をすべてアクセスすることはできないので、何れかのチャンネルのアクセス回数を削減し補間次数を落とす。アクセス回数を削減するチャンネルの決定方法としては、例えば下記の①および②のような方法がある。

【0058】①チャンネル順に片端からアクセス回数を削減する。

②その時点で音量レベルの小さいチャンネルからアクセス回数を削減する。このようにすると楽音への影響が小さい。各チャンネルの音量レベルは、エンベロープ値から分かる。

【0059】なお、本形態例では各チャンネルで基本的に6点補間を行なうが、アクセス回数を削減する際には、4点または2点補間に落とし、さらに最低限2点補間ができるようにサンプル数を確保するものとする。したがって、2点補間ができなくなるほどのアクセス回数削減は行なわない（最悪でも各チャンネル2回のアクセスが確保される。そのため、各処理Bでは16チャンネル×2＝32回のアクセススロットがある）。

【0060】図10に、本形態例におけるアクセス回数削減の具体例（削減しない例も含む）を示す。図10（a）～（h）において、進み量とは、波形メモリアドレス（詳しくはARAM302のアドレス整数部）の進み量（先述した溢れ値と同じ値）であり、各チャンネルにおいて読み出すべき必要なサンプル数のことである。下向きの矢印↓は、アドレス進み量を示すための便宜的な基準位置（前回の同チャンネルの処理Bで読み込みの完了しているサンプル位置）を示す。×、○、および⊙

は、波形データの1サンプルを示す。●は既に波形バッファ307内に存在するサンプルを示し、○はこれから読み出すべきサンプルを示す。

【0061】図10(a)は、アドレスの進み量が0の場合を示す。6点補間に必要な6点分のサンプルは波形バッファ307内に存在するので、新たな読み出しは不要でありアクセス回数は0である。当然、アクセス回数の削減は行なわれない。

【0062】図10(b)は、アドレスの進み量が1の場合を示す。必要な6点分のサンプルのうち5点は既に波形バッファ307内に存在するから、1サンプルのみ新たに読み出す。そのため、アクセス回数は1回必要である。この場合、アクセス回数の削減は行なわれない。

【0063】図10(c)は、アドレスの進み量が2の場合を示す。必要な6点分のサンプルのうち4点は既に波形バッファ307内に存在するから、2サンプルを新たに読み出す。アクセス回数は2回必要である。この場合にアクセス回数の削減を行なうときは、図10(c)の下側に記載したように補間次数を6点から4点に落とし、4点補間に必要な1サンプルを新たに読み出すこととしてアクセス回数を削減する。

【0064】図10(d)は、アドレスの進み量が3の場合を示す。必要な6点分のサンプルのうち3点は既に波形バッファ307内に存在するから、3サンプルを新たに読み出す。アクセス回数は3回必要である。この場合にアクセス回数の削減を行なうときは、図10(d)の下側に記載したように、補間次数を6点から4点または2点に落とし、4点または2点補間に必要な2または1サンプルを新たに読み出すこととしてアクセス回数を削減する。

【0065】図10(e)は、アドレスの進み量が4の場合を示す。必要な6点分のサンプルのうち2点は既に波形バッファ307内に存在するから、4サンプルを新たに読み出す。アクセス回数は4回必要である。この場合にアクセス回数の削減を行なうときは、図10(e)の下側に記載したように、補間次数を6点から4点または2点に落とし、4点または2点補間に必要な3または2サンプルを新たに読み出すこととしてアクセス回数を削減する。

【0066】図10(f)は、アドレスの進み量が5の場合を示す。必要な6点分のサンプルのうち1点は既に波形バッファ307内に存在するから、5サンプルを新たに読み出す。アクセス回数は5回必要である。この場合にアクセス回数の削減を行なうときは、図10(f)の下側に記載したように、補間次数を6点から4点または2点に落とし、4点または2点補間に必要な4または2サンプルを新たに読み出すこととしてアクセス回数を削減する。

【0067】図10(g)は、アドレスの進み量が6の場合を示す。必要な6点分のサンプルは波形バッファ3

07内に存在しないから、6サンプルをすべて読み出す。アクセス回数は6回必要である。この場合にアクセス回数の削減を行なうときは、図10(g)の下側に記載したように、補間次数を6点から4点または2点に落とし、4点または2点補間に必要な4または2サンプルを新たに読み出すこととしてアクセス回数を削減する。図10(h)の進み量が7の場合も、図10(g)と同様である。

【0068】(2)次に、処理B演算回路305で実行する処理Bについて詳しく説明する。処理B演算回路305は、時分割チャンネルタイミングとは異なるタイミングで、処理B、すなわちアドレスを波形メモリ208に向けて送り出す処理を行なう。図8で説明したように、時分割チャンネルタイミングの1チャンネル当りの時間内で4アクセス(4サンプルの読み出し)が可能である。処理Bの波形メモリアクセス処理は、処理Aの時分割チャンネルタイミングにしたがった処理とは関係がなく、読み出しが必要な各チャンネルについて順次連続して行なわれる。読み出しが必要なチャンネルとサンプル数は、上述の処理Aで決定されている。また、図7で説明したように、あるチャンネルについて処理Bを行なうときには既に当該チャンネルに関する処理Aは実行済みであり、当該チャンネルのアドレス値がRAM302にセットされている。

【0069】アドレス送り出しの処理を説明する。まず、図4に示す制御RAM304内の読み出し位置を指す読み出しポインタの値が、当該チャンネルに関する処理A前半または後半処理の終了時点の書き込みポインタの値と一致しているか否かを判定する。例えば、当該チャンネルの処理Bが図7の処理B前半区間702内の処理である場合は、読み出しポインタの値を、処理A前半区間701の終了時点の書き込みポインタの値と比較するということである。これが一致すれば、その処理Bの区間で読み出すべきサンプルはもう無いということだから、後述するアクセス余り時間の処理を行なう。

【0070】読み出しポインタの値が上記書き込みポインタの値に一致していないときは、読み出しポインタを1つ進めて、読み出しポインタが指すチャンネル番号とサンプル数を制御RAM304から読み出す。そして、そのサンプル数分の当該チャンネル番号に関するアドレスを波形メモリ208に送り出す。具体的には、RAM302から当該チャンネルの現アドレス整数部を読み出し、必要なサンプル数のサンプルを順次アクセスするための複数のオフセットを加算し、さらにアドレス基準値WAを加算して(処理Aで作成したアドレスは相対アドレスであるので、絶対アドレスに変換するためアドレス基準値を加算する)、最終的な読み出しアドレスWMAとして波形メモリ208に送り出す。アドレス送り出しのタイミングについては、図7、8で説明した。図8における各アクセスタイミングのオフセットは、例え

21

ば、第0チャンネルでは0、第2チャンネルの1回目が-2、2回目が-1、3回目が0、第5チャンネルの1回目が-1、2回目が0等で、先に説明した図10の○に対応するサンプルが確実に読み出されるようになってい。以上のようにして読み出しポインタを進めながらアドレスを連続的に送り出していく。読み出しポインタの値が上記書き込みポインタの値に一致したときは、アドレス送り出しの処理を終了する。

【0071】図7、8でも説明したように、上記アドレス送り出しの処理は時分割チャンネルタイミングとは異なるタイミングで行なわれるので、アクセス余り時間としての空きタイムスロットが出現する。そこで、アドレス送り出しの処理の後、処理B演算回路305の制御のもとで、この余り時間を利用して図1のリフレッシュカウンタ108による波形メモリ208のリフレッシュ処理、またはCPUアクセス制御部109による波形メモリ208へのアクセス処理を行なう。アクセス余り時間が無くなったら、処理を終了する。

【0072】(3)次に、取り込み回路308で実行する取り込み処理について説明する。取り込み回路308は、処理B演算回路305から送り出されたアドレスWMAにより読み出された波形サンプルを取り込み、波形バッファ307に書き込む。取り込みの結果、波形バッファ307には、基本的に各チャンネル6サンプルが用意されることになる。ただし、処理Aで補間次数を4点または2点補間に落としたチャンネルがある場合、当該チャンネルについては、それらの補間で必要なサンプルが波形バッファ307に用意される。

【0073】(4)次に、補間回路306で実行する補間処理について詳しく説明する。補間回路306は、時分割チャンネルタイミングにしたがって、チャンネルごとに順に補間処理を行なう。1つのチャンネルに関する補間処理は、以下のとおりである。

【0074】まず、波形バッファ307から当該チャンネルの6サンプルを順次読み出す。そして、各サンプルに所定の補間係数を乗算して累算する。各サンプルに累算する補間係数は、当該チャンネルのアドレス小数部FRACに基づいて決定する。アドレス小数部FRACは、ARAM302から処理B演算回路305経由で入力する。以上により、補間済みの楽音波形データが生成出力される。なお、上述した波形メモリのアクセス回数削減により補間次数を6点から4点あるいは2点に落としたチャンネルについては、6サンプルでなく4または2サンプルを用いて4点または2点補間を行ない補間済みの楽音波形データを得る。

【0075】なお、上記形態例において、マスター音源207Mとスレーブ音源207Sは、同じ構成のLSIチップを用いている。マスター音源207Mとスレーブ音源207Sとを区別するのは、CPU204が制御レジスタ101を介して指定する2チップ指定情報および

22

マスター/スレーブ(M/S)指定情報に基づく。すなわち、各音源チップは、2チップ指定情報で2チップが指定され、マスター/スレーブ指定情報でマスターが指定されていれば、上述のマスター音源207Mとして動作する。また、2チップ指定情報で2チップが指定され、マスター/スレーブ指定情報でスレーブが指定されていれば、上述のスレーブ音源207Sとして動作する。逆に、2チップ指定情報で1チップが指定されていたときは、その音源チップは1チップ指定時の動作をする。マスター/スレーブ指定情報でマスターまたはスレーブが指定されていたときは、2チップ指定情報で2チップが指定されたものとみなしてもよい。

【0076】図9は、1チップ指定時の各処理のタイミングを示す図である。図7の2チップ指定時のタイミングと比較すると、処理Aおよび補間処理のタイミングは1チップ指定時および2チップ指定時ともに時分割チャンネルタイミングで同じである。処理Bおよび取り込み処理については、図7では区間702、703、706、707が1サンプリング周期の1/4になっているのに対し、図9では区間902、903、906、907が1サンプリング周期の1/2になっている点異なる。区間902、903、906、907で処理Bおよび取り込み処理が行なわれる際のチャンネルの様子は、図8で説明したのと同じである。すなわち、時分割チャンネルタイミングで1チャンネル分の処理を行なうタイムスロットの1/4の区間で1アクセスが可能であり、制御RAM304に記憶されている各チャンネルの必要サンプル数にしたがって順次連続的に波形メモリをアクセスする。2チップ指定時は、前半処理の区間702、703および後半処理の区間706、707のそれぞれにおいて、32アクセスが可能であった。1チップ指定時は、前半処理の区間902、903および後半処理の区間906、907のそれぞれにおいて、64アクセスが可能となる。アクセス区間の長さが2倍になったからである。

【0077】以上のように、本形態例の音源チップは、1チップか2チップかを示す指定情報を入力し、2チップのときはアクセス期間(処理Bおよび取り込み処理の区間)を1チップのときの半分に短縮して、それにより生じた空き時間にもう一方の音源チップによるアクセスを行なうようにすることができるものである。

【0078】上記形態例では、図3の波形読み出し補間回路102において処理A演算回路301と処理B演算回路305とを独立した構成としたが、処理A演算回路301と処理B演算回路305とをひとまとめにして、1つの演算回路を時分割で共用することにより処理Aと処理Bとを行なうようにしてもよい。

【0079】上記形態例では、波形メモリの波形サンプルを16ビット非圧縮の形式としたが、他の形式でもよい。例えば、1アクセスで16ビットを読み出せること

はそのままにして、8ビット非圧縮または8ビット圧縮形式にしてもよい。ただし、この場合、サンプル数とアクセス数とが異なるので、その調整が必要である。また、圧縮形式の場合は、連続してサンプルを読み出していないと再生できなくなるため、飛ばし読みの際に対処が必要である。

【0080】上記形態例では、アキュムレータACCのアクセス回数累算値が最大アクセス可能数である32を超えていないかどうかを判定して、各チャンネルの読み出しサンプル数、アクセス回数、および補間次数を決定しているが、他の処理を行なう分を優先して最大アクセス可能数を決めてもよい。例えば、あらかじめ波形メモリのリフレッシュやCPUによるアクセスを行なうことが分かっている場合は、それらの処理のためのアクセス回数はあらかじめ確保しておき、その残りの分を最大アクセス可能数として上記判定を行なうようにしてもよい。

【0081】特に、波形メモリとしてDRAMを用いた場合は、必ずリフレッシュが必要であるので、リフレッシュの分のアクセス回数は優先して確保するとよい。また、CPUからの波形メモリの読み出し/書き込みは、その緊急度に応じて対応するとよい。例えば、CPUからの波形メモリアccessの緊急度が低いときは、音源チャンネルで使用されなかった空きタイムスロットを用いてアクセスを行なう。また、緊急度が高いときは、始めにCPUからの波形メモリアccessの分を確保し、残りを音源チャンネルで使用する。

【0082】また、上記形態例では、図8に示したように処理Bおよび取り込みを行なう前半および後半の区間の前側のスロットで連続した波形メモリアccessを行なっているが、前側でなくてもよい。例えば、上述の優先して確保されたリフレッシュあるいはCPUからのアクセスについては、区間内の前側のスロットでそれらの処理を行ない、後側のスロットで各チャンネルについての連続した波形メモリアccessを行なうようにしてもよい。ただしその場合、例えば図7の取り込み処理前半区間703の処理が終了して、波形バッファに補間に必要な全サンプルが用意された後に、補間前半区間704の補間処理が始まるようにする必要がある（後半処理も同様）。そのため、補間を行なう区間をずらす必要がある（取り込み前半処理が終了した後に補間前半処理を開始し、取り込み後半処理が終了した後に補間後半処理を開始すれば十分）。

【0083】さらに、上記形態例では、処理Aと補間処理は1サンプリング周期を1/2（前半と後半）に分割した区間を単位として前半処理と後半処理とを交互に行ない、処理Bと取り込み処理はさらにその1/2（すなわち、1サンプリング周期の1/4）の区間を単位として前半処理と後半処理とを交互に行なうようにしているが、区間の分け方はこれに限らない。例えば、1サンプ

リング周期を1/3、1/4、…に分割し、それらの区間を単位にして処理Aと補間処理を行ない、さらにその1/2の区間で処理Bと取り込み処理を行なうようにしてもよい。処理Aと補間処理を行なう区間の1/2の時間幅の区間で処理Bと取り込み処理を行なうようにするとともに、スレーブ音源の処理タイミングを当該時間幅だけマスター音源の処理タイミングより遅れるようにタイミングの調整を行えば、マスター音源とスレーブ音源とで交互に波形メモリアccessできるようにできる。また、等分割でなく、変則的な区間の分割を行なってもよい。例えば、第0～第14チャンネルと第15～第31チャンネルに分割して、それぞれの区間で処理Aと補間処理を行ない、処理Bと取り込み処理はマスターとスレーブとで交互に行えるように時間幅の調整を行なってもよい。さらに、区間を分けずに、1サンプリング周期を単位としてもよい。ただし、処理Bでアドレス送り出しを行なって波形メモリアccessする前に、処理AによるARAMの書き換えが行なわれることがないことを、保証する必要がある。そのためには、例えば区間を分けられない場合は、アドレスRAMを2セット用意し、処理Aによるアドレスの書き換えと処理Bによるアドレスの送り出しとで、2セットのアドレスRAMを交互に使用するなどの方法を探る必要がある。なお、1サンプリング周期を前半と後半に分けて処理する方式によれば、1セットのアドレスRAMで処理Aと処理Bとを交互に行なうことができるので、回路構成が簡易にでき台理的といえる。

【0084】さらに、上記形態例では、マスター音源とスレーブ音源との2チップで1つの波形メモリアccessを共有しているが、さらに多くの音源チップで1つの波形メモリアccessを共有するようにもできる。そのためには、処理Bおよび取り込み処理の区間を複数の音源チップで分けあうようにして、それぞれの波形メモリアccessを行えばよい。

【0085】なお、あるチャンネルに関してアクセス回数が足りずに補間点数を落とした後に、元の補間点数に戻す場合は、その時点で一時的に同チャンネルのアクセス回数を通常より増やすように動作するようにしてもよい。

【0086】また本実施形態例では、音源の波形メモリアccessの制限を、2つの音源で1つの波形メモリアccessを共有するために行なっていたが、それ以外の目的でアクセス制限を行なうようにもできる。例えば、波形メモリに1つの音源が接続されている場合において、その音源の波形メモリアccess期間を制限し、生じたアクセス期間を波形サンプリング回路やCPU、DMAC、その他のデータ転送回路、等が利用するようにしても良い。また、アクセス期間の制限の仕方は、全期間の1/2に限る必要はなく、2/3や2/5等々任意でよい。さらに、演奏者やCPUが時間長でアクセス期間の長さを指

定できるようにしても良い。

【0087】

【発明の効果】本発明によれば、波形メモリの読み出しに先立って、各チャンネルのアドレスを作成してアドレス記憶手段に一旦格納しておき、さらに各チャンネルのアドレスの進み量に基づいてアクセス回数を算出し、そのアクセス回数ずつ波形メモリを連続的にアクセスする。また、波形メモリから読み出した波形サンプルは、一旦波形サンプル記憶手段に記憶され、楽音生成手段は、波形サンプル記憶手段に記憶された各チャンネルの波形サンプルに基づき、各チャンネルのサンプリング周期ごとの楽音を生成する。アドレスおよび波形サンプルがアドレス記憶手段およびサンプル記憶手段にバッファリングされるので、波形サンプルの読み出しのタイミングを適宜調整することができ、波形メモリのスピードに合せた連続したアクセスが可能になる。したがって、あるチャンネルで波形サンプルを読み出さなくても済む場合、あるいはあるチャンネルでバッファリングされている波形サンプルを使用することができるために少ない数の波形サンプルのみ読み出せばよい場合などにおいて、余りのタイムスロットを、他の処理（例えば、他のアクセス手段による定期的な波形メモリへのアクセス）に回すことができる。また、余りのタイムスロットを他のチャンネルにおけるアクセスに回せることになるので、そのようなチャンネル間の関係から、補間次数を下げなければならない場合が減少する。

【0088】特に、本発明では、複数の音源の波形メモリアクセス期間を互いに競合しないようにタイミング調整しているので、複数の音源で1つの波形メモリを共有することができる。

【0089】以上のように、本発明によれば、時分割チャンネル動作で複数チャンネル分の楽音を同時に発生する波形メモリ読み出し方式の音源において、チャンネル\*

\* ごとに必要なときに必要な分だけ効率よく波形メモリをアクセスすることができるようになる。

【図面の簡単な説明】

【図1】この発明の一形態例に係る音源装置を適用した音源部のブロック構成図

【図2】本形態例の音源装置を適用した電子楽器の全体のブロック構成図および音源部の概略構成図

【図3】波形読み出し補間回路のブロック構成図

【図4】制御RAMの構成図

【図5】A RAMのメモリマップを示す図

【図6】波形バッファの構成図

【図7】マスター音源およびスレーブ音源のそれぞれの波形読み出し補間回路における処理タイミング図

【図8】図7の各処理中のチャンネルの様子を示す図

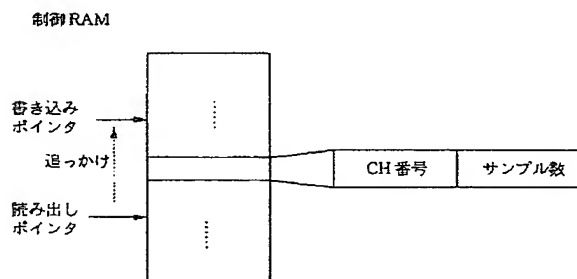
【図9】1チップ指定時の各処理のタイミングを示す図

【図10】本形態例におけるアクセス回数削減の具体例を示す図

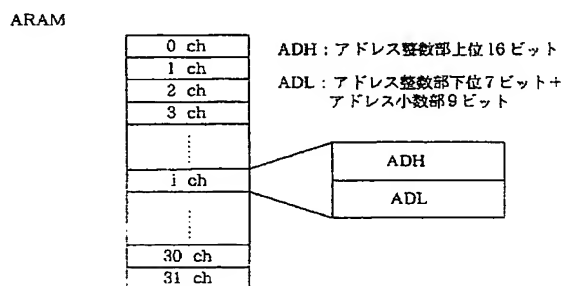
【符号の説明】

101…制御レジスタ、102…波形読み出し補間回路、105…音量変化制御部、106…チャンネル(ch)累算器、107…効果回路、108…リフレッシュカウンタ、109…CPUアクセス制御部、110、111…セレクトラ、112…システムクロック発生部、113…チャンネル(ch)カウンタ、204…中央処理装置(CPU)、207…音源部、207M…マスター音源、207S…スレーブ音源、208…波形メモリ、210…デジタルアナログ変換器(DAC)、211…サウンドシステム(SS)、212…外部記憶装置、213…バス、220…混合器、301…処理A演算回路、302…アドレスRAM(ARAM)、303…アキュムレータ(ACC)、304…制御RAM、305…処理B演算回路、306…補間回路、307…波形バッファ、308…取り込み回路。

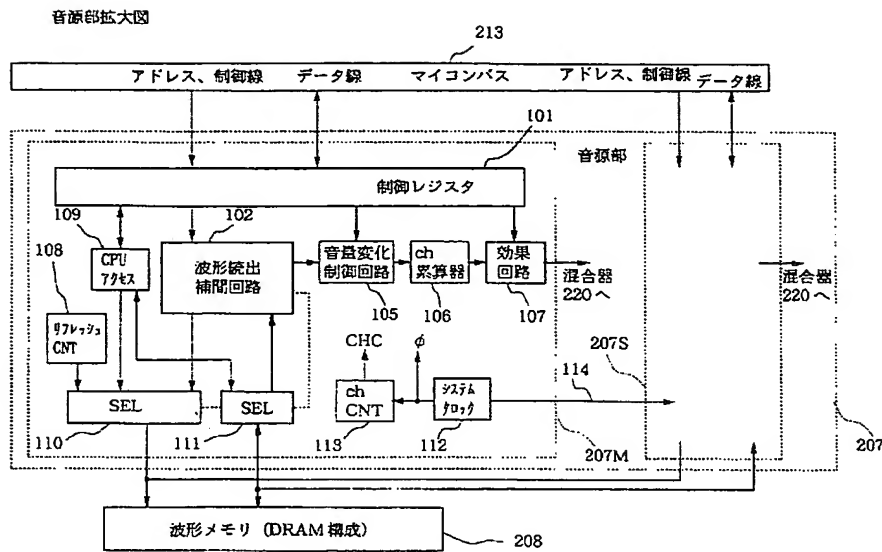
【図4】



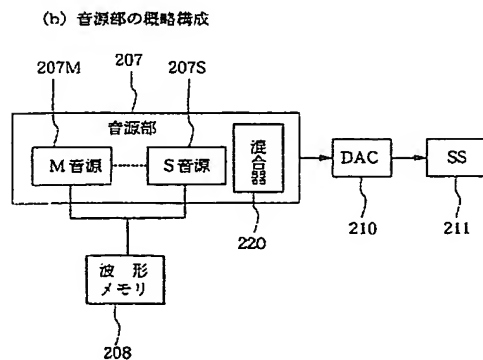
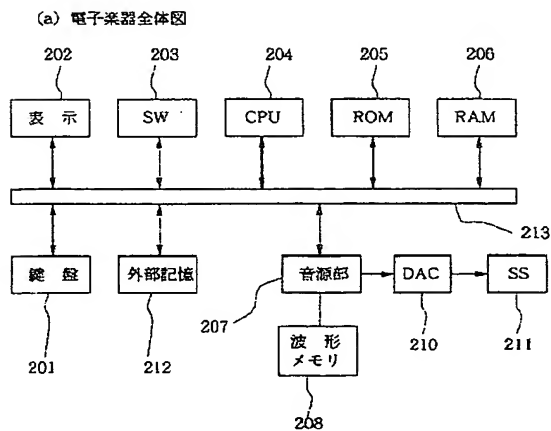
【図5】



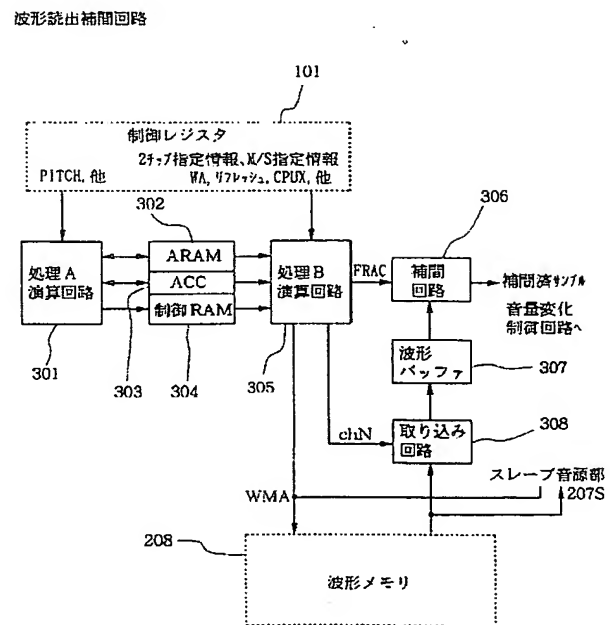
【図 1】



【図 2】



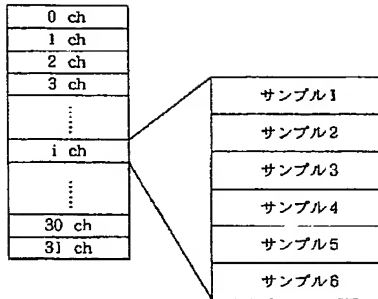
【図 3】





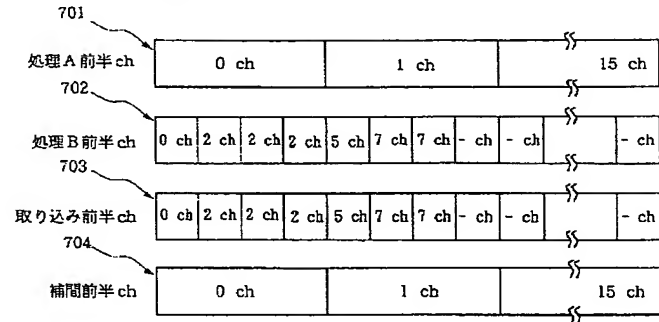
【図 6】

波形バッファ



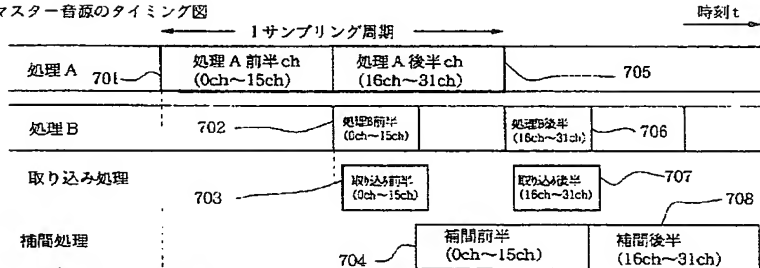
【図 8】

各処理中のチャンネルの様子

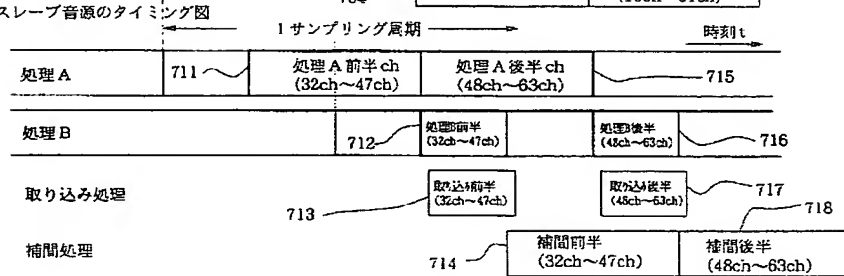


【図 7】

マスター音源のタイミング図

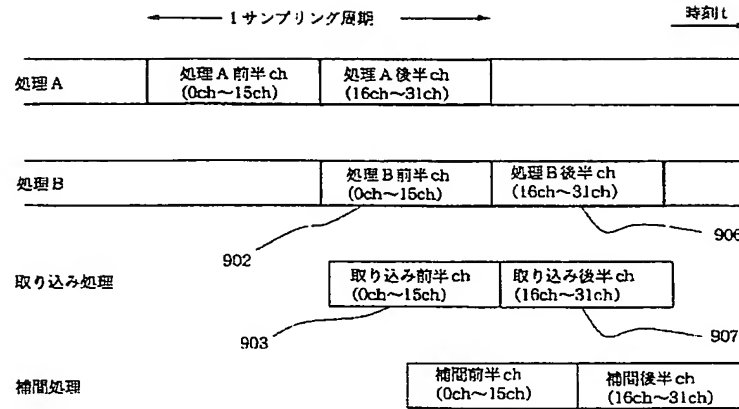


スレーブ音源のタイミング図



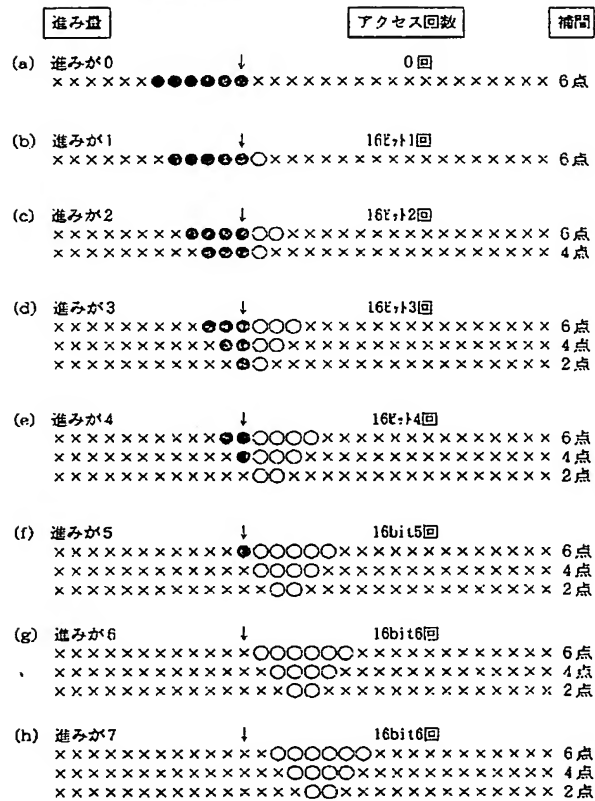
【図9】

1チップ指定時のタイミング図



【図10】

アクセス回数削減の具体例



**THIS PAGE BLANK (USPTO)**